

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-222583

(43)Date of publication of application : 05.09.1989

(51)Int.Cl.

H04N 5/335

G02B 7/11

H04N 5/232

(21)Application number : 63-047644

(71)Applicant : CANON INC

(22)Date of filing : 02.03.1988

(72)Inventor : ISHIZAKI AKIRA

SUZUKI KENJI

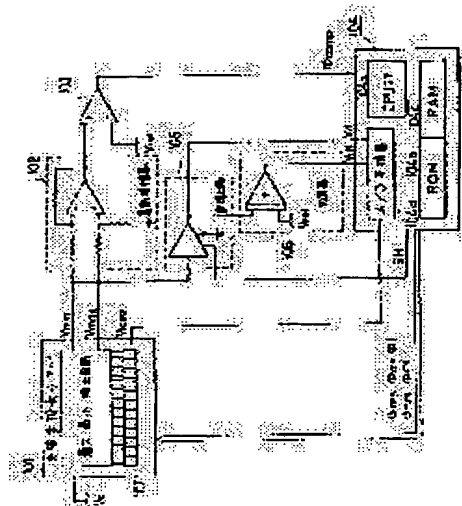
SUDA YASUO

OTAKA KEIJI

**(54) PHOTOELECTRIC CONVERTER AND STORAGE CONTROLLER CONTROLLING STORAGE OPERATION OF SAID CONVERTER****(57)Abstract:**

**PURPOSE:** To eliminate a DC component even in an object with low contrast and to obtain a sharp signal by detecting a maximum value and a minimum value of a storage signal during storage time of a photoelectric conversion element array and controlling the storage time so as to make the difference of the both constant thereby applying A/D conversion between the two values.

**CONSTITUTION:** A means 107 detecting the maximum value and the minimum value of the storage signal is provided while a photoelectric conversion cell 101 makes storage operation and the storage operation is finished when the difference between the maximum value and the minimum value of the storage signal reaches a prescribed level. Thus, the storage time is controlled so as to make the difference between the light part and the dark part of the object pattern constant, then only a characteristic part of the pattern is subject to A/D conversion, then a sharp signal is obtained independently of contrast.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

## ⑫ 公開特許公報(A)

平1-222583

⑤ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月5日

H 04 N 5/335

G 02 B 7/11

H 04 N 5/232

Q-8420-5C

N-7403-2H

H-8121-5C 審査請求 未請求 請求項の数 6 (全11頁)

⑭ 発明の名称 光電変換装置並びに該装置の蓄積動作を制御する蓄積制御装置

⑯ 特 願 昭63-47644

⑰ 出 願 昭63(1988)3月2日

⑱ 発 明 者 石 崎 明 神奈川県川崎市高津区下野毛770番地 キャノン株式会社  
玉川事業所内⑲ 発 明 者 鈴 木 謙 二 神奈川県川崎市高津区下野毛770番地 キャノン株式会社  
玉川事業所内⑲ 発 明 者 須 田 康 夫 神奈川県川崎市高津区下野毛770番地 キャノン株式会社  
玉川事業所内⑲ 発 明 者 大 高 圭 史 神奈川県川崎市高津区下野毛770番地 キャノン株式会社  
玉川事業所内

⑳ 出 願 人 キャノン株式会社 東京都大田区下丸子3丁目30番2号

㉑ 代 理 人 弁理士 田北 高晴

## 明 細 書

## 1. 発明の名称

光電変換装置並びに該装置の蓄積動作を制御する蓄積制御装置

## 2. 特許請求の範囲

(1) 光電変換された電荷を蓄積可能な複数の光電変換セルを備えた光電変換装置において、最も強い光の入射されている前記セルの蓄積信号のみを出力する最大検出手段と、最も弱い光の入射されている前記セルの蓄積信号のみを出力する最小検出手段とを備え、これら手段による検出を蓄積時間中に行うことを特徴とする光電変換装置。

(2) 前記最大検出手段を、NPNまたはPNPのトランジスタ、あるいはpまたはnチャンネル電界効果トランジスタを用いたエミッタフォロフ回路、ソースフォロフ回路または差動回路のいずれかを含む回路で構成されていることを特徴とする請求項(1)に記載の光電変換装置。

(3) 前記最小検出手段が、NPNまたはPNPのトランジスタ、あるいはnまたはpチャンネル

電界効果トランジスタを用いたエミッタフォロフ回路、ソースフォロフ回路または差動回路のいずれかを含んで構成されていることを特徴とする請求項(1)に記載の光電変換装置。

(4) 前記光電変換装置により出力される蓄積信号の最大値と最小値の差と設定値を比較する比較手段と、該手段の出力が反転したことをもって前記光電変換装置の蓄積動作を終了させる蓄積制御手段とを具備することを特徴とする蓄積制御装置。

(5) 前記蓄積信号の最大値または最小値を記憶する記憶手段を設けたことを特徴とする請求項(4)に記載の蓄積制御装置。

(6) 前記蓄積信号の最大値及び最小値に基づいて設定される動作レンジについてセンサ出力をA/D変換するA/D変換手段を設けたことを特徴とする請求項(4)に記載の蓄積制御装置。

## 3. 発明の詳細な説明

[産業上の利用分野]

この発明は、カメラのバンプ方式の焦点検出



装置等に用いられる光電変換装置及びその蓄積時間を制御する蓄積制御装置に関するものである。

#### 〔従来の技術〕

従来、この種の装置として、例えば特開昭61-167916号及び特開昭62-113468号、特願昭61-219658号及び特願昭62-27267号等がある。特開昭61-167916号における構成は、光電変換素子アレイに入射する光量の平均値もしくは和信号に基づいて蓄積時間を制御するものである。また、後者の構成は、光電変換素子アレイの略最大値に基づいて蓄積時間を制御するものである。

いずれの構成も後段の信号処理を行いやすくするように、信号のレベルができるだけ一定になるような制御を行っている。後段における信号処理としては、遮光画素（オプティカルブラック）を基準に増幅してA/D変換を行ったのち、特開昭58-142306号、特開昭59-107313号、特開昭60-101513号あるいは特願昭61-160824号に開示されている演算を行う構成を採用することができ

る。の出力信号をとっている。

この発明は、上記従来技術の実状に鑑みてなされたもので、後処理の演算に寄与しない直流成分を除去し、低コントラスト被写体においても鮮明な信号が得られるようにした光電変換装置及び光電変換装置の蓄積動作を制御する蓄積制御装置を提供することを目的とする。

#### 〔課題を解決するための手段〕

上記の目的を達成するために、本発明は、光電変換セルが蓄積動作を行っている間に蓄積信号の最大値及び最小値を検出する手段を設けて光電変換装置を構成したものである。

また、本発明の蓄積制御装置においては、光電変換装置より出力される蓄積信号の最大値と最小値との差が所定レベルに達したことをもって蓄積動作を終了させるようにされている。

#### 〔作用〕

上記のように構成することによって、蓄積信号の最大値と最小値との差が所定値以上になるときに蓄積動作を終了させることにより、被写体のパ

ところで、前記の各構成を用いて合焦状態を判別する装置を構成するに際しては、被写体の輝度分布を光電センサアレイでサンプリングし、これを電気的に信号処理して合焦状態を判別する。

#### 〔発明が解決しようとする課題〕

上記のような従来の光電変換装置及び光電変換装置の蓄積制御装置においては、遮光画素を基準に信号をA/D変換するため、低コントラスト（輝度分布の場所的变化が小さい場合）の被写体においては、被写体の特徴を示すパターン部よりも演算に寄与しない信号のDC（直流）分の方が圧倒的に多くなり、量子化エラーやノイズの影響を受けて演算の信頼性を低下させるという問題があった。

すなわち、第13図に示すように、センサアレイには、低コントラストの被写体の像信号が入射しているため、被写体の特徴パターンにDC分が重畳した如き信号となり、前記のように信頼性を低下させることになる。尚、第13図においては、横軸にセンサの各画素をとり、縦軸は各画素

ターンの明部と暗部との差が一定になるように蓄積時間を制御できるため、パターンの特徴部分のみをA/D変換することにより、コントラストにかかわらず鮮明な信号を得ることができる。

#### 〔実施例〕

第1図はこの発明の一実施例の主要構成を示す回路図であり、第2図は第1図に示すマイクロコンピュータ104の処理を示すフローチャートである。また、第3図は光電変換素子アレイ101の詳細構成を示す回路図である。

第1図において、101は蓄積動作中においてセンサアレイの最大値及び最小値を検出する最大最小検出回路107を備えた光電変換素子アレイ、102は光電変換アレイ101より出力される最大値と最小値の差を検出する差動増幅器、103は差動増幅器102の出力電圧と基準電圧 $V_{ref}$ とを比較する比較器である。104はワンチップのマイクロコンピュータであり、比較器103のほか後述する記憶回路105及び加算器106の出力を入力信号とすると共に、光電変

換素子101への制御信号 $\phi$ 及び加算器106へのサンプルホールド信号SHを出力信号としている。マイクロコンピュータ104は、制御の中核となるCPUコア104a、CPUコア104aを動作させるためのプログラムが格納されたROM104b、データ及び演算結果等が記憶されるRAM104c、記憶回路105及び加算器106の各々より出力される参照電位 $V_{ref}$ 及び $V_{min}$ の間をA/D変換するA/D変換器104dより構成されている。105は光電変換素子アレイ101の最小値出力 $V_{min}$ を記憶する記憶回路、106は記憶回路105で記憶された最小値出力に対し予め設定した基準電圧 $V_{ref}$ を加算する加算器である。

第2図はマイクロコンピュータ104の処理例を示すフローチャートであり、サブルーチンの形式で表現されている。

本サブルーチンがコールされると、まず光電変換素子アレイ101をリセットするように $\phi_{rst}$ 、 $\phi_{rst}$ 及び $\phi_{rst}$ の信号を出力する(ST201)。

104dの参照電位 $V_{ref}$ は画像信号出力の最小値レベルであり、 $V_{min}$ は最大値レベルであるから、A/D変換は最小値と最大値との間で行われることになる。ST204の処理の終了の後は、メインルーチンへ戻る。

第3図は光電変換装置としての光電変換素子アレイ101の等価回路を示すものである。1-1-1-1-1は蓄積タイプのフォトリスタアレイ(セル)であり、コレクタには共通の電圧が接続され、制御電極領域(ベース)に光電変換された電荷を蓄積し、主電極領域(エミッタ)から読み出すことのできる構造を有するもので、その具体的内容は例えば特開昭62-128678号、特開昭62-113458号、特開昭61-168286号、特開昭61-219668号、特開昭61-219669号等に詳細な記載がある。2-1-1-2-1はフォトリスタアレイ1を構成する各バイポーラトランジスタのベースを $\phi_{rst}$ が与えられたときに電圧V<sub>cc</sub>に接続してリセットするためのPMOSスイッチ、3-1-1-3-1はバイポーラトランジスタの各エミッタに接

このリセット処理によって光電変換素子アレイ101は、自動的に蓄積動作に入ることになる。次に、比較器103より出力される $\phi_{rst}$ がローレベルからハイレベルに変化するのを待機する(ST202)。この $\phi_{rst}$ 信号は、最大値信号 $V_{max}$ と最小値信号 $V_{min}$ の差が基準電圧 $V_{ref}$ に到達したか否かを示す信号であり、その値がハイレベルになったことをもって基準電圧 $V_{ref}$ への到達を判定する。ST202は $\phi_{rst}$ がハイレベルになったことをもってST203に移り、光電変換素子アレイ101への蓄積を終了させるために $\phi_{rst}$ のパルスを光電変換素子アレイ101へ送出する。同時に記憶回路105に対し信号SHを送出し、蓄積終了時の $V_{min}$ レベルを記憶させる。次に、光電変換素子アレイ101より画像信号(Video)を順次読み出すために、信号 $\phi_{rst}$ 及び $\phi_{rst}$ を送出する(ST204)。読み出された画像信号をA/D変換器104dによってA/D変換し、その信号を逐次RAM104cへ格納する。このA/D変換時、A/D変換器

繞されて蓄積された信号を $\phi_{rst}$ に同期して後段へ取り出すためのNMOSスイッチ、4-1-1-4-1はNMOSスイッチ3-1-1-3-1の各々に直列接続されて画像信号をA/D変換器104dへ送出するためのNMOSスイッチである。5-1-1-5-1はNMOSスイッチ3-1-1-3-1と4-1-1-4-1の各接続点と接地間に接続された各画素ごとの信号を読み出すための蓄積容量、6はNMOSスイッチ4-1-1-4-1を順番にオンさせて画像信号を逐次読み出すためのシフトレジスタである。8はNMOSスイッチ4-1-1-4-1の出力端子が共通接続された読出しライン7を信号 $\phi_{rst}$ の与えられたときに接地して初期化するためのNMOSスイッチ、9は読出しライン7に出力された画像信号を増幅する出力アンプ、10-1-1-10-1は $\phi_{rst}$ が与えられたときにフォトリスタアレイ1-1-1-1-1の各エミッタを接地するためのNMOSスイッチである。

107は最大最小検出回路であり、NMOSスイッチ11-1-1-11-1、12-1-1-12-1及び出力

アンプ13、14より構成されている。この最大最小検出回路107は光電変換セルと同一基板上に形成することができる。11-1~11-nはフォトトランジスタアレイ1-1~1-nの各エミッタに出力される画像信号の最小値を検出するNMOSスイッチ、12-1~12-nはフォトトランジスタアレイ1-1~1-nの各エミッタの画像信号の最大値を検出するNMOSスイッチである。また、13及び14はNMOSスイッチ11及び12の出力ラインに接続されて各々の検出値を増幅して $V_{min}$ 及び $V_{max}$ の各々を出力する出力アンプである。なお、Rは負荷抵抗である。

第4図は第3図の光電変換素子アレイ101の動作を説明するタイミングチャートである。

まず、リセットが行なわれる。時間 $t_1 \sim t_2$ 期間において $\phi_{rr}$ をローレベルにし、PMOSスイッチ2-1~2-nをオンすることにより、フォトトランジスタアレイ(以下、画素列という)1-1~1-nのベースがV<sub>0</sub>の電位に固定される。次に、時間 $t_2 \sim t_3$ 期間において $\phi_{rr}$ 及び $\phi_{ss}$ をハイレ

ベル(ON)にすることにより、NMOSスイッチ10-1~10-n及び3-1~3-nが導通し、蓄積容量5-1~5-nが接地され、残留電荷がリセットされる。この画素列1-1~1-nのベース及びエミッタの各々に対するリセットが終了すると、次に蓄積動作に入る。

蓄積動作に入ると、光電変換された電荷は画素列1-1~1-nのベース領域に蓄積される。このとき、画素列のベース及びエミッタはフローティング(容量負荷状態)になっており、エミッタにはベース電位を反映した電圧が生じる。

信号の逐次読み出しに際しては、NMOSスイッチ4-1~4-nをシフトレジスタ6によって順次ONにし、蓄積容量5-1~5-nに蓄積された信号電荷を読出しライン7へ読み出す。シフトレジスタ6は $\phi_{ss}$ が入力されるごとにNMOSスイッチ4-1~4-nを順次選択する。このNMOSスイッチ4-1~4-nを選択する直前に $\phi_{rr}$ をNMOSスイッチ8をONにし、読出しライン7に残留している電荷をリセットする。

次に最大最小検出回路107の動作について説明する。

NMOSスイッチ11-1~11-nの各々は、1個の差動増幅器と1個のPNP型トランジスタの組み合わせによって構成される。トランジスタのエミッタラインは差動増幅器の反転入力に帰還され、非反転入力には各画素列のエミッタが入力されている。差動増幅器は、非反転入力の方が反転入力より高い電位の場合、トランジスタのベース電位をほぼ電源電圧レベルまで変位させ、トランジスタをOFFにする。したがって、出力アンプ13の入力には電圧を生じさせない。一方、差動増幅器の非反転入力に最も低い電位が入力されたときに、その電位が出力アンプ13の入力端に印加され、出力アンプ13に増幅されて $V_{min}$ として出力される。

同様にNMOSスイッチ12-1~12-nの各々は、1個の差動増幅器と1個のNPN型トランジスタとの組み合わせによって構成される。差動増幅器の反転入力とトランジスタのエミッタとが共

通接続され、出力ラインとしている。差動増幅器の非反転入力の方々は、画素列1-1~1-nの各エミッタに接続されている。差動増幅器の非反転入力の電位が、反転入力の電位より低い場合、トランジスタのベース入力にはほぼ負電源の電圧レベルまで下げられ、トランジスタはオフ状態にされる。このトランジスタに出力電圧を生じさせるのは、差動増幅器の非反転入力に最も高い電位が与えられたときである。

以上より明らかなように、光電変換素子アレイ101は、蓄積時間中、画素列1-1~1-nの最大値 $V_{max}$ 及び最大値 $V_{min}$ を出力することができる。蓄積終了は $\phi_{ss}$ をONにし、画素列1-1~1-nのエミッタ電位を蓄積容量5-1~5-nへ移すことによって終了する。この制御はマイクロコンピュータ104によって実行される。この例では $(V_{max} - V_{min}) = V_{ref}$ になったときに時間 $t_3 \sim t_4$ 期間に $\phi_{ss}$ をONにし、蓄積を終了させる。

第5図及び第6図は第3図に示したNMOSス

イッチ12及び11の詳細回路を示す回路図である。

第5図において、401は電源で、402～405は差動増幅器を構成するMOS型のトランジスタ、406はMOS型トランジスタ403と405の接続点にベースが接続されると共にトランジスタ403のゲートに接続されたエミッタを出力端子とするNPN型のバイポーラトランジスタである。また、トランジスタ402のゲートが入力(In)として用いられる。

第6図において、407～410は差動増幅器を構成するトランジスタであり、第5図の構成の上下を反転した形に構成され、トランジスタ409と410のソースが共通接続されて電源411に接続されている。トランジスタ412はPNP型が用いられ、ベースがトランジスタ408と410の接続点に接続され、出力端子として用いられるエミッタがトランジスタ410のゲートに接続されている。この構成によりNMOSスイッチ11即ち最小値検出回路は、第5

パターンの特徴部分のみをA/D変換することができ、コントラストに拘らず、鮮明な信号を得ることが可能になる。

第9図は本発明の第2の実施例を示すブロック図である。第9図においては、第1図と同一であるものには同一引用数字を用いたので重複する説明は省略する。本実施例が特徴とするところは、加算器106に代えて差動増幅器108を用い、その出力信号をA/D変換器104dへ印加するようにしたところにある。差動増幅器108の反転端子は記憶回路の出力端子に接続され、非反転端子は光電変換出力端子に接続されて減算回路が構成されている。したがって、Video信号から最小値記憶回路105の出力を減算するように演算増幅器108が機能する。この場合、A/D変換器104dの動作レンジは、 $V_{ref} = GND$ 、 $V_{in} = V_{ref}$ であるため、 $0 \sim V_{ref}$ となる。従って、演算増幅器108によってVideo信号の最小値が0に規格化されているため、最大値と最小値をフルレンジ化したA/D変換を行うことができ

図の最大値検出回路と相補型を成している。このように、差動増幅器をMOS型のトランジスタで構成することにより、高入力インピーダンスにすることができ、画素列1-1～1-nの出力の負荷を軽くすることができると共に、集積度の向上にも有利になる。

第7図及び第8図は以上のように構成された光電変換素子アレイ101の蓄積時間の制御結果を示し、(a)図は明部輝度が同一でコントラストの異なるチャートを示し、(b)図は各(a)図に対応する蓄積時間の制御特性図を示している。第7図及び第8図において、 $V_{ref}$ の傾きは同一であり、これはチャートの明部輝度に対応している。一方、 $V_{in}$ は両図間で大きく異なり、暗部のコントラストに対応していることがわかる。第7図及び第8図より知れることは、 $(V_{ref} - V_{in})$ の傾きは第7図の方が大きく、蓄積時間 $T_{ref}$ に大きな違いが表われることである。蓄積時間に違いが出ることにより、被写体のパターンの明部と暗部の差を一定にし、第14図のように

る。

第10図は第9図の実施例の変形例を示し、記憶回路105の入力を $V_{ref}$ に接続替えすると共に、演算増幅器108の反転入力と非反転入力の入力信号を入れ替えた構成にし、かつ非反転入力に接続された抵抗を $V_{ref}$ に接続するようにしたものである。本実施例では、演算増幅器108が最大値 $V_{ref}$ からのVideo信号の減算を、 $V_{ref}$ を基準にして行われる。したがって、最大蓄積信号画素が $V_{ref}$ になり、最小蓄積信号画素が0になり、この場合の動作レンジは $0 \sim V_{ref}$ となる。この結果は第9図の実施例と同様の効果が得られる。

第11図及び第12図は光電変換素子アレイ101の第2、第3の実施例を示す回路図である。これらの実施例が第3図と異なるところは、最大検出回路及び最小検出回路を差動増幅器を用いることなく構成したところにある。

第11図において、NMOS電界効果トランジスタ15-1～15-nは、ソース側に共通の負

荷抵抗Rをもち、NMOSソースフォロワ群を形成している。これらのゲートには画素列1-<sub>1</sub>～1-<sub>n</sub>のエミッタが接続されている。画素列1-<sub>1</sub>～1-<sub>n</sub>のエミッタには各々の蓄積信号が現れている。トランジスタ15-<sub>1</sub>～15-<sub>n</sub>の共通のソースには、ゲート電位の最も高い電位が反映されるから、V<sub>max</sub>は最大値信号として用いることができる。また、PMOS電界効果トランジスタ16-<sub>1</sub>～16-<sub>n</sub>は、やはり共通の負荷抵抗Rをもち、PMOSソースフォロワ群を形成している。16-<sub>n</sub>のゲートには、やはり画素列1-<sub>1</sub>～1-<sub>n</sub>のエミッタが接続されている。PMOSソースフォロワの共通のソース側には各々のゲート電位の最も低い電位が反映されるから、V<sub>min</sub>は、最小値信号として用いることができる。尚、出力アンプ13、14の入力には、直流オフセットやゲインのずれが存在するが、これは出力アンプ13、14により整合させることができる。

一方、第12図において、NMOSTランジスタ17-<sub>1</sub>～17-<sub>n</sub>はソースフォロワを示す。これ

される。

#### 【発明の効果】

以上説明した通り、この発明は光電変換素子アレイの蓄積時間中に蓄積信号の最大値と最小値を検出し、両者の差が一定になるように蓄積時間を制御し、この2値間のA/D変換を行うようにしたので、低コントラストの被写体においても、直流分を除去して鮮明な信号を得ることができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例としての光電変換装置及び蓄積制御装置のブロック図、第2図は第1図のマイクロコンピュータの処理を示すフローチャート、第3図は第1図の光電変換素子アレイの詳細を示す回路図、第4図は光電変換素子アレイの動作を説明するタイミングチャート、第5図及び第6図は第3図のNMOSスイッチの詳細を示す回路図、第7図(a)、(b)及び第8図(a)、(b)は本発明による光電変換素子アレイのコントラストに応じた制御結果を説明するコントラストチャート及び制御特性図、第9図は本発明の第

らのソースフォロワは、画素信号をインバーダンス変換し、低インバーダンスにして、NPNバイポーラトランジスタ18-<sub>1</sub>～18-<sub>n</sub>、及びPNPバイポーラトランジスタ20-<sub>1</sub>～20-<sub>n</sub>のそれぞれのベースに導いている。バイポーラトランジスタ20-<sub>1</sub>～20-<sub>n</sub>のベース入力ラインインバーダンスは、比較的低いため、このようなインバーダンス変換を行った方が望ましい。NPNバイポーラトランジスタ18-<sub>1</sub>～18-<sub>n</sub>のエミッタは、共通に接続されていて、NPNエミッタフォロワ群を構成している。共通ラインにはベース電位の最も高い電位が反映され、その他のトランジスタはカットオフされる。よって、V<sub>max</sub>には蓄積信号の最大値に応じた電位が出力される。また、PNPバイポーラトランジスタ20-<sub>1</sub>～20-<sub>n</sub>のエミッタは共通に接続されていて、PNPエミッタフォロワ群を構成している。共通ラインはベース電位の最も低い電位が反映され、その他のトランジスタはカットオフされる。よって、V<sub>min</sub>には蓄積信号の最小値に応じた電位が出力

2の実施例としての光電変換装置及び蓄積制御装置のブロック図、第10図は第9図の実施例の変形を示すブロック図、第11図及び第12図は光電変換素子アレイの第2、第3の実施例を示す回路図、第13図は低コントラストの被写体における従来の蓄積時間制御特性図、第14図は低コントラストの被写体における本発明の蓄積時間制御特性図である。

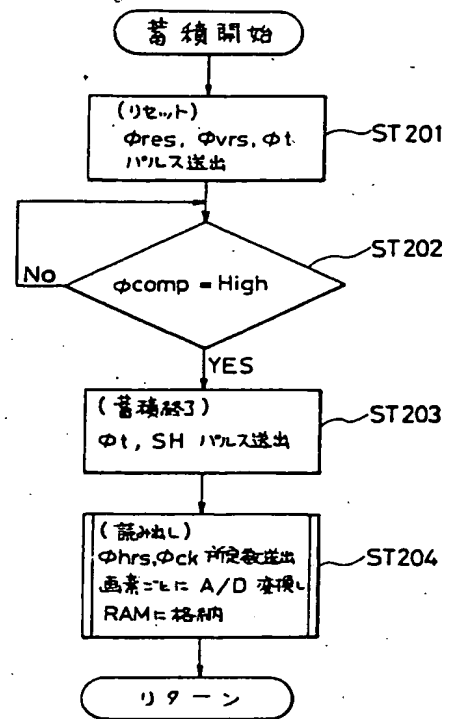
図中、

- 1-<sub>1</sub>～1-<sub>n</sub>: フォトトランジスタアレイ
- 2-<sub>1</sub>～2-<sub>n</sub>: PMOSスイッチ
- 3-<sub>1</sub>～3-<sub>n</sub>, 4-<sub>1</sub>～4-<sub>n</sub>, 10-<sub>1</sub>～10-<sub>n</sub>,  
11-<sub>1</sub>～11-<sub>n</sub>, 12-<sub>1</sub>～12-<sub>n</sub>  
: NMOSスイッチ
- 6: シフトレジスタ
- 15-<sub>1</sub>～15-<sub>n</sub>, 17-<sub>1</sub>～17-<sub>n</sub>  
: NMOSTランジスタ
- 16-<sub>1</sub>～16-<sub>n</sub>: PMOSTランジスタ
- 18-<sub>1</sub>～18-<sub>n</sub>, 20-<sub>1</sub>～20-<sub>n</sub>  
: バイポーラトランジスタ

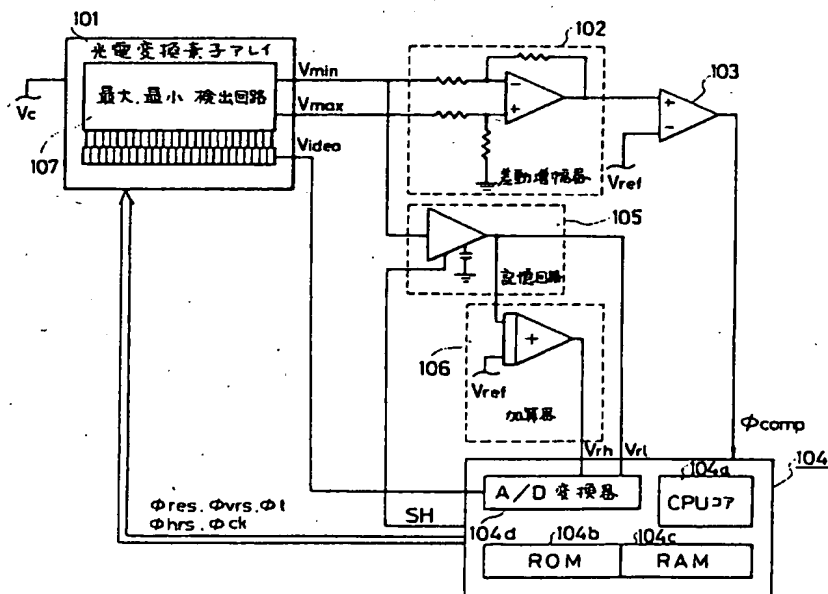


- 101: 光電変換素子アレイ
- 102, 108: 差動増幅器
- 103: 比較器
- 104: マイクロコンピュータ
- 105: 記憶回路
- 106: 加算器
- 107: 最大最小検出回路

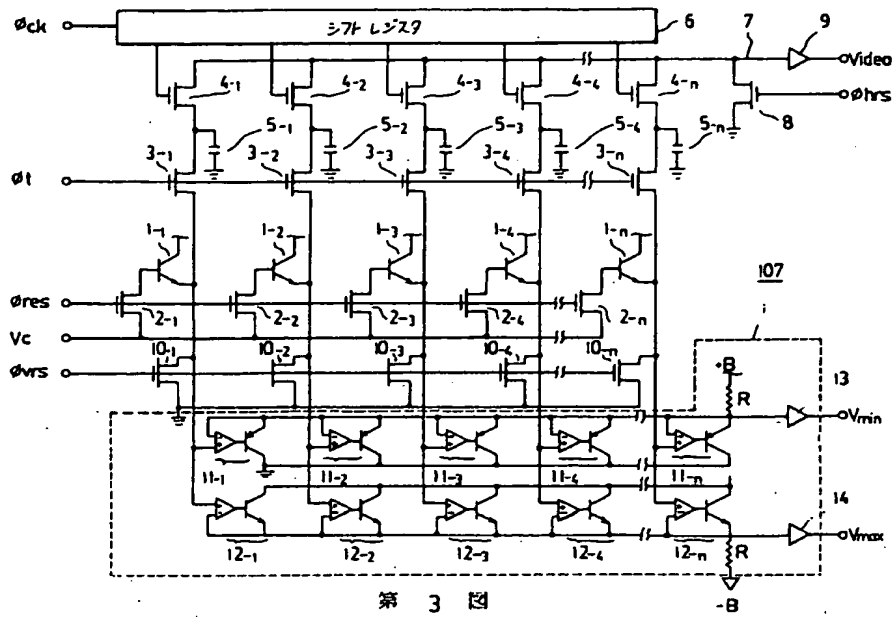
代理人 弁理士 田 北 嵩 晴



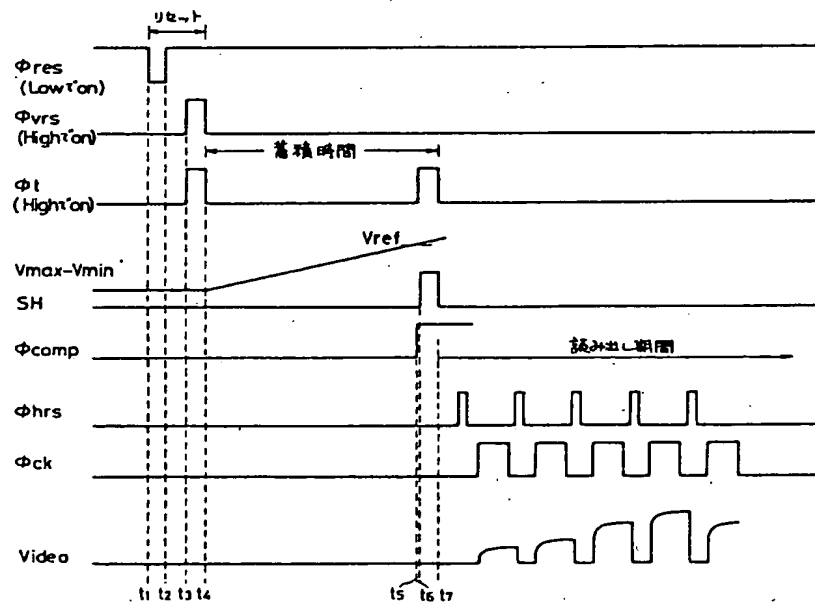
第 2 図



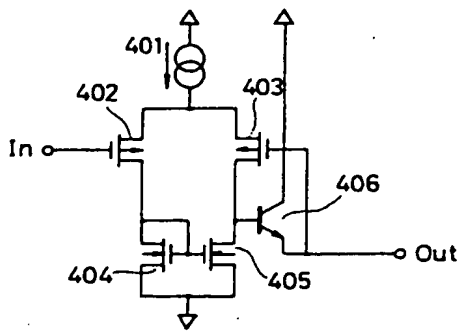
第 1 図



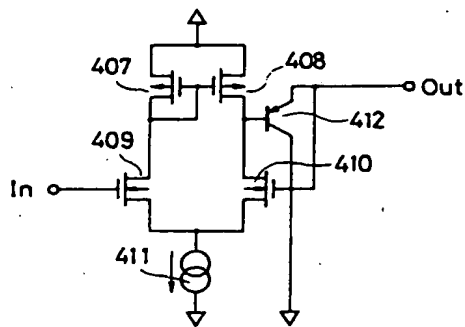
第 3 図



第 4 図



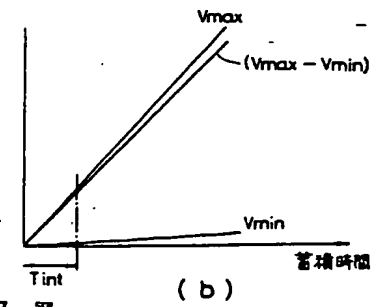
第 5 図



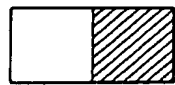
第 6 図



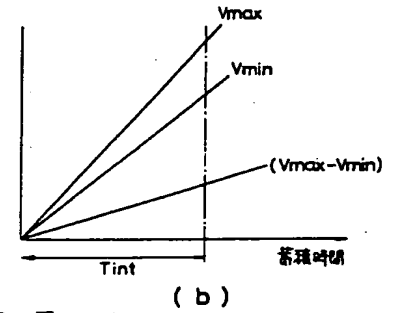
(a)



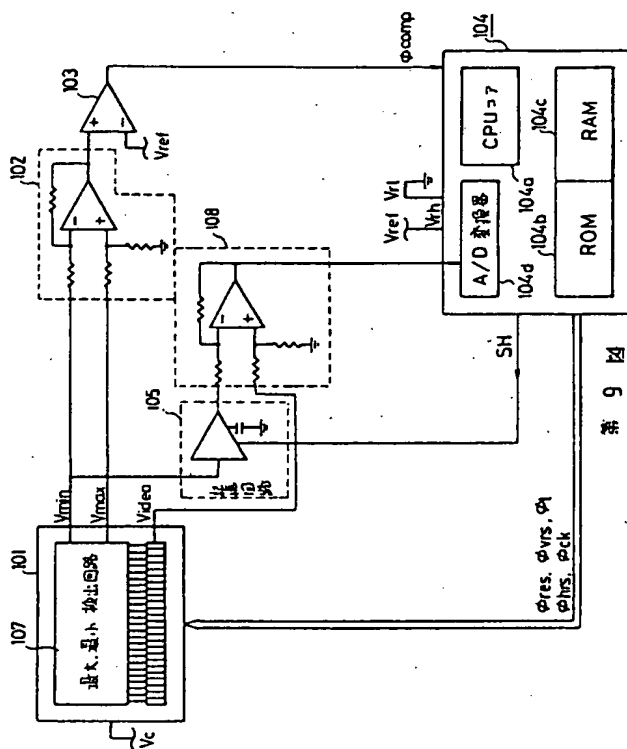
第 7 図



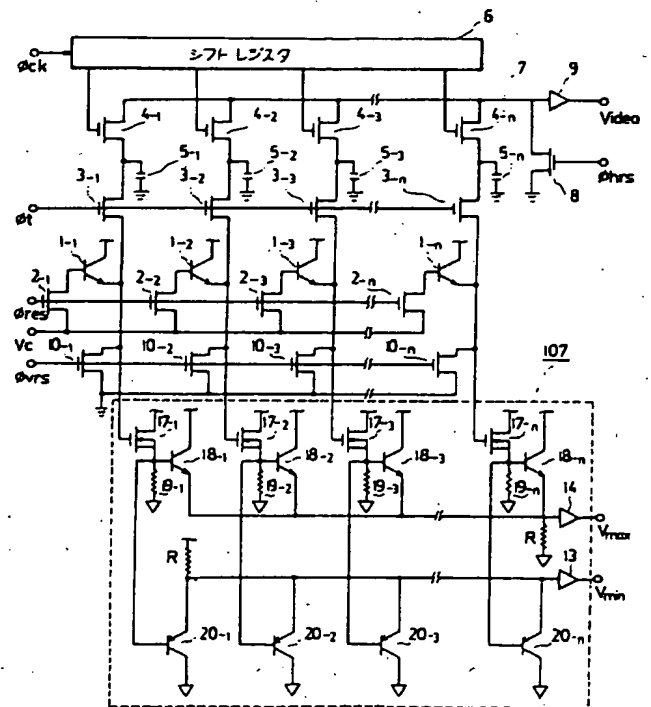
(a)



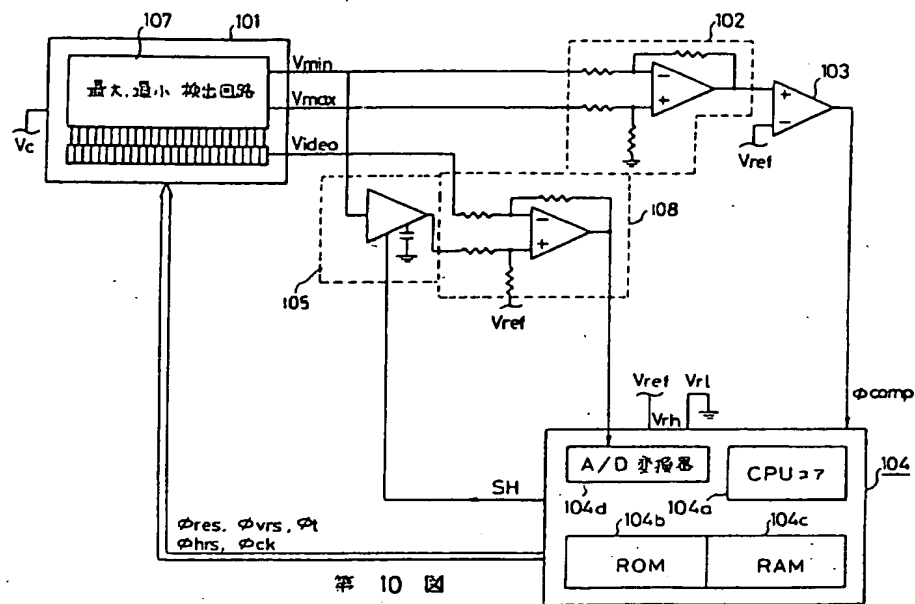
第 8 図



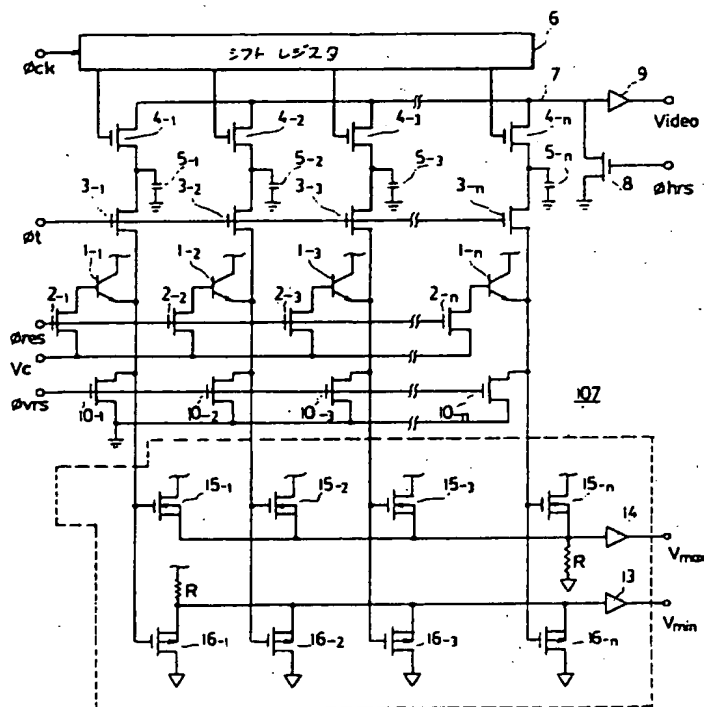
第 9 図



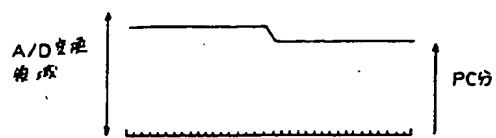
第 12 図



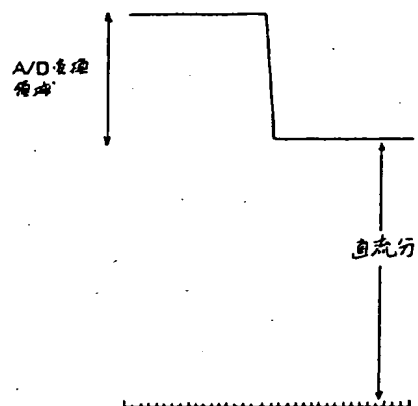
第 10 図



第 11 図



第 13 図



第 14 図